

УДК 004

О.Бершадський, магістр гр. КІ-24М,
Центральноукраїнський національний технічний університет

ДОСЛІДЖЕННЯ ТА ПРИНЦИПИ ПОБУДОВИ СИСТЕМИ ЕМУЛЯТОРА ПЕРЕТВОРЕННЯ ЛОГІЧНОЇ АДРЕСИ В ЛІНІЙНУ ТА ЛІНІЙНОЇ У ФІЗИЧНУ ДЛЯ НАВЧАЛЬНИХ ЦІЛЕЙ

У статті розроблено програмне забезпечення, яке призначено для системи емулятора перетворення логічної адреси в лінійну та лінійної у фізичну для навчальних цілей. Метою розробки є дослідження та принципи побудови системи емулятора перетворення логічної адреси в лінійну та лінійної у фізичну для навчальних цілей. Об'єктом дослідження є процес емулятора перетворення логічної адреси в лінійну та лінійної у фізичну для навчальних цілей. Предметом дослідження є методи емулятора перетворення логічної адреси в лінійну та лінійної у фізичну для навчальних цілей. Методи дослідження базуються на методах комп'ютерної логіки, методах математичної статистики, методах розробки програмного забезпечення. Результат роботи – програмна реалізація системи емулятора перетворення логічної адреси в лінійну та лінійної у фізичну для навчальних цілей. В процесі роботи над програмною моделлю виконано аналіз існуючих апаратних та програмних засобів. В повній мірі описані всі компоненти розробленого програмного забезпечення.

Емулятор, перетворення логічної адреси в лінійну та лінійної у фізичну, навчальні цілі

Знання обчислювальних пристроїв, включаючи реалізацію програмного забезпечення на машинному рівні. Кілька курсів у навчальних програмах з інформатики розглядають ці низькорівневі деталі, такі як архітектура комп'ютера та мови асемблера. Для таких курсів є переваги у вивченні реальних архітектур замість спрощених прикладів. Однак реальні архітектури та набори інструкцій вносять складність, що ускладнює їх опанування в рамках одного семестру. Методи візуалізації можуть допомогти полегшити це навантаження, на жаль, існуючі інструменти часто важко використовувати, а отже, важко впроваджувати в курсі, де час вже обмежений. Щоб вирішити цю проблему, у даній роботі розробляється програмне забезпечення емулятора перетворення логічної адреси в лінійну та лінійної у фізичну для навчальних цілей. Дане програмне забезпечення графічно ілюструє ключові відмінності між знайомими мовами високого рівня та незнайомими мовами низького рівня, а також ілюструє, як знайомі програми високого рівня поведуться на реальних архітектурах. Ключем до цього інструменту є те, що ми використовуємо простий веб-інтерфейс, який не потребує налаштування, що полегшує перешкоди для впровадження курсу. Ми також включаємо кілька функцій, які ще більше підвищують його корисність в умовах класу. Ці функції включають графічні зв'язки між кодом високого рівня та машинним кодом, чітко проілюстровані покрокові переходи станів машини, кольорове кодування для зрозумілості поведінки інструкцій та ілюстрацію вказівників.

Аналіз останніх досліджень і публікацій. При аналізі останніх досліджень і публікацій [1-30] було виявлено певні прогалини у забезпеченні системи емулятора перетворення логічної адреси в лінійну та лінійної у фізичну для навчальних цілей.

Мета й завдання дослідження. Метою роботи є дослідження та принципи побудови системи емулятора перетворення логічної адреси в лінійну та лінійної у фізичну для навчальних цілей.

Для досягнення поставленої мети визначена програма дослідження, що складається з наступних завдань:

- Огляд існуючих систем емулятора перетворення логічної адреси в лінійну та лінійної у фізичну для навчальних цілей.
- Дослідження системи емулятора перетворення логічної адреси в лінійну та лінійної у фізичну для навчальних цілей.
- Програмна реалізація системи емулятора перетворення логічної адреси в лінійну та лінійної у фізичну для навчальних цілей.

Об'єктом дослідження є процес емулятора перетворення логічної адреси в лінійну та лінійної у фізичну для навчальних цілей.

Предметом дослідження є методи емулятора перетворення логічної адреси в лінійну та лінійної у фізичну для навчальних цілей.

Методи дослідження базуються на методах комп'ютерної логіки, методах математичної статистики, методах розробки програмного забезпечення.

Виклад основного матеріалу. Проблема підготовки висококваліфікованих фахівців дуже гостро постала у середині двохтисячних років минулого сторіччя, коли на ринку вакансій стали з'являтися усе більше і більше оголошень з потребою у кваліфікованих програмістів, саме фахівців, а не досвідчених користувачів.

На сьогоднішній день, ринок висококваліфікованих фахівців стабілізувався, але все одно кадрові агентства шукають по всій країні вузькоспеціалізованих комп'ютерних фахівців за замовленням приватних підприємців і комп'ютерних фірм.

В процесі навчання у вищих навчальних закладах виникає гостра потреба в добре організованих і детально розроблених навчальних системах.

У даній магістерській дипломній роботі, зроблена спроба реалізувати навчальну систему емулятора перетворення логічної адреси в лінійну та лінійної у фізичну для навчальних цілей.

Коли студент починає вивчати внутрішню будову персонального комп'ютера, він в першу чергу стикається з перетворенням логічної адреси в лінійну та лінійної у фізичну для навчальних цілей.

У рамках архітектури ПК існує й розвивається ряд мікроархитектур. Раніше було показано, що поняття архітектури комп'ютера ієрархично й що існують загальні й індивідуальні властивості архітектури. У контексті обговорення архітектури процесорів Intel має сенс також позиціонувати різні їхні архітектурні властивості й принципи як загальні й індивідуальні.

До індивідуальних архітектурних властивостей і принципів можна віднести існуючі в рамках різних мікроархитектур. Що стосується загальних архітектурних властивостей і принципів IA-64, то до них відносяться ті, які мають місце для всіх процесорів Intel або, принаймні, існують поза рамками конкретної мікроархитектури для великої кількості моделей процесорів. В зв'язку з тим, що процесор в основному визначає логіку роботи комп'ютера, то й назви більшості загальних архітектурних властивостей і принципів IA-64 збігаються з назвами аналогічних властивостей і принципів комп'ютера: номенклатура програмно-доступних регістрів; організація й способи адресації пам'яті; номенклатура режимів роботи процесорів; організація й розрядність зовнішніх інтерфейсів ЕОМ; способи подання й формати даних; набір і формати машинних команд ЕОМ; порядок обробки переривань. Практично всі ці загальні архітектурні властивості й принципи становлять програмну модель процесора, що буде розглянута надалі.

Емулятор процесора – це програмне забезпечення, яке імітує апаратний центральний процесор. Емулятори широко використовуються комп'ютерними фахівцями для різних видів діяльності (наприклад, налагодження, профілювання та аналізу шкідливих програм). Хоча жодні теоретичні обмеження не заважають розробити емулятор, який точно емулює фізичний процесор, написання повнофункціонального емулятора є дуже складним та схильним до помилок завданням. Сучасні архітектури CISC мають дуже багатий набір інструкцій, деяким інструкціям бракує належних специфікацій, а інші можуть мати невизначені ефекти в крайніх випадках. У цій статті представлено методологію тестування,

специфічну для емуляторів процесорів, засновану на фаззингу. Емулятор «навантажується» спеціально створеними тестовими випадками, щоб перевірити, чи правильно емульовано процесор. Неправильна поведінка емулятора виявляється шляхом одночасного запуску одного й того ж тестового випадку на емульованому та на фізичному процесорах та порівняння їх стану після виконання. Різниця в кінцевому стані свідчить про дефекти в кодї емулятора.

Варіанти мікроархітектури процесорів Intel

Зовнішня програмна модель (логічна) 64-розрядних процесорів змінювалася тільки у бік розвитку, у той час як їх виконавча (фізична) частина могла бути зроблена різною. Поняття мікроархітектури орієнтоване на опис особливостей виконавчої частини процесорів, тобто того, якими способами і якими засобами процесор виконує обробку машинного коду (рис. 1). На сьогоднішній день у рамках IA-64 існує дві мікроархітектури процесорів Intel: P6 і NetBurst

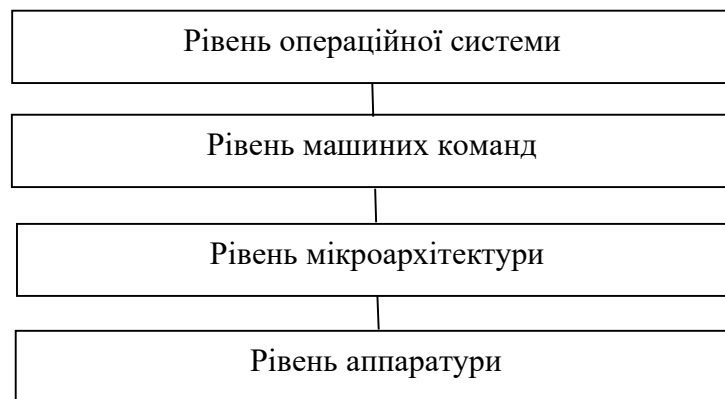


Рисунок 1 – Подання комп'ютера у вигляді рівнів

Мікроархітектура NetBurst. Реалізована в процесорі Pentium IV, є розвитком ідей мікроархітектури P6. Відзначимо найбільш важливі властивості нової мікроархітектури.

– Швидка виконавча частина процесора. АЛП процесора працює на подвоєній частоті процесора.

– Гіперконвеєрна технологія. Гіперконвеєр Pentium IV складається з 20 щаблів. Ціль збільшення довжини конвеєра – спрощення завдань, реалізованих кожною з його щаблів, і, як наслідок, спрощення відповідної апаратної логіки.

– Поліпшена технологія динамічного виконання завдяки більш глибокій «довільності» у порядку виконання коду й удосконаленій системі пророкування переходів.

– Нова підсистема кешування. Відсутній кеш команд першого рівня. Замість нього введений кеш трас. Трасами називаються послідовності мікрооперацій, у які були декодовані раніше обрані команди. Структурна схема процесора Pentium IV показана на рисунку 2.

Мікроархітектура NetBurst підтримує ще одну нову технологію –HyperThreading. Дана технологія дозволяє на базі одного фізичного процесора Pentium IV моделювати декілька логічних, кожний з яких має власний архітектурний простір IA-64. Під архітектурним простором IA-64 розуміється сукупність регістрів даних, сегментних регістрів, системних регістрів і регістрів MSR. Кожний логічний процесор має також власний контролер переривань APIC.

Розглянувши структурну схему процесора перейдемо до розгляду структурної схеми ПЕОМ. При розробці структурної схеми відштовхнемося від внутрішньої архітектурної будови персонального комп'ютера. Структурна схема персонального комп'ютера складається:

– шина PCI (Peripheral Component Interconnect) – шина з'єднання периферійних компонентів, займає особливе місце в PC-архітектурі, є містком між локальною шиною процесора і шиною введення-виведення ISA/EISA чи MCA;

- шина ISA – являє собою паралельну шину, створену на базі шини пам'яті і введення/виведення IBM PC/AT;
- контролер клавіатури – взаємодія з клавіатурою в PC AT базується на двох мікропроцесорах Intel 8042. Один мікропроцесор знаходиться в системному блоці, другий – в клавіатурі.
- контролера прямого доступу в пам'ять – прямий доступ до пам'яті (DMA);
- контролер переривань – в архітектурі PC AT підсистема апаратних переривань складається з двох контролерів 8259A. Вони об'єднані таким чином, що можуть обслужити 15 запитів на переривання;
- послідовний інтерфейс – послідовний інтерфейс RS-232 (KP580BB51);
- паралельний інтерфейс – паралельний порт використовується для підключення принтера до комп'ютера. Також принтер можливо підключити через асинхронний адаптер і USB порт;
- контролер USB – швидкий, двонаправлений, ізохронний, дешевий, послідовний інтерфейс;
- системний таймер – архітектура використовує підсистему трьохканального 16-розрядного таймера 8254, як системний таймер;
- енергонезалежна пам'ять і годинник реального часу – основне призначення енергонезалежної пам'яті – збереження найбільш важливих параметрів системи при відключенні живлення комп'ютера;
- контролер гнучких дисків (Floppy Disk Controller, FDC) – Керування гнучкими дисками здійснюється мікросхемою (контролером) 8272A;
- контролер твердих дисків з інтерфейсами IDE, EIDE і SCSI;
- робота AGP – спеціалізована надбудова над шиною PCI.

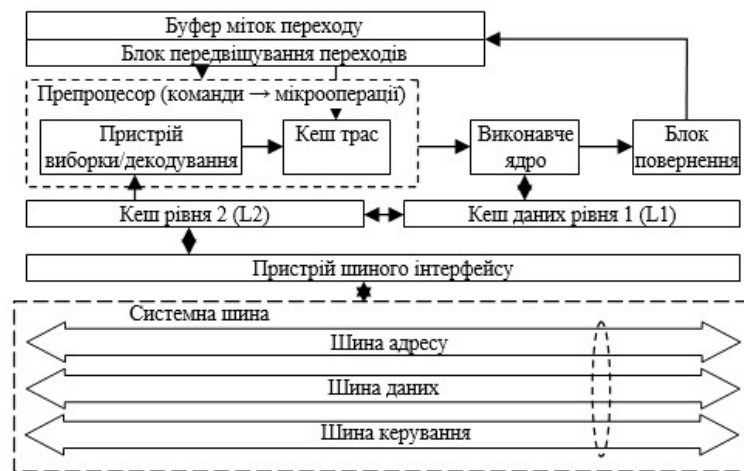


Рисунок 2 – Структурна схема процесора Pentium IV

На рис. 3 зображено розроблену структурну схему системи. Розглянемо її роботу детально.

Користувач через головне вікно ПЗ має можливість перейти до довідкової системи з подальшим переглядом документації та проведенням тестування пройденого матеріалу, перейти до модуля налаштування параметрів роботи ПЗ, налаштувати параметри роботи емулятора перетворення.

З блоку емулятора перетворення ми можемо запуснути моделювання та провести моделювання крок за кроком з виведення інформації кроку на екран. Емулятор дозволяє наявно подивитись як відбувається перетворення логічної адреси в лінійну та лінійної у фізичну для навчальних цілей.

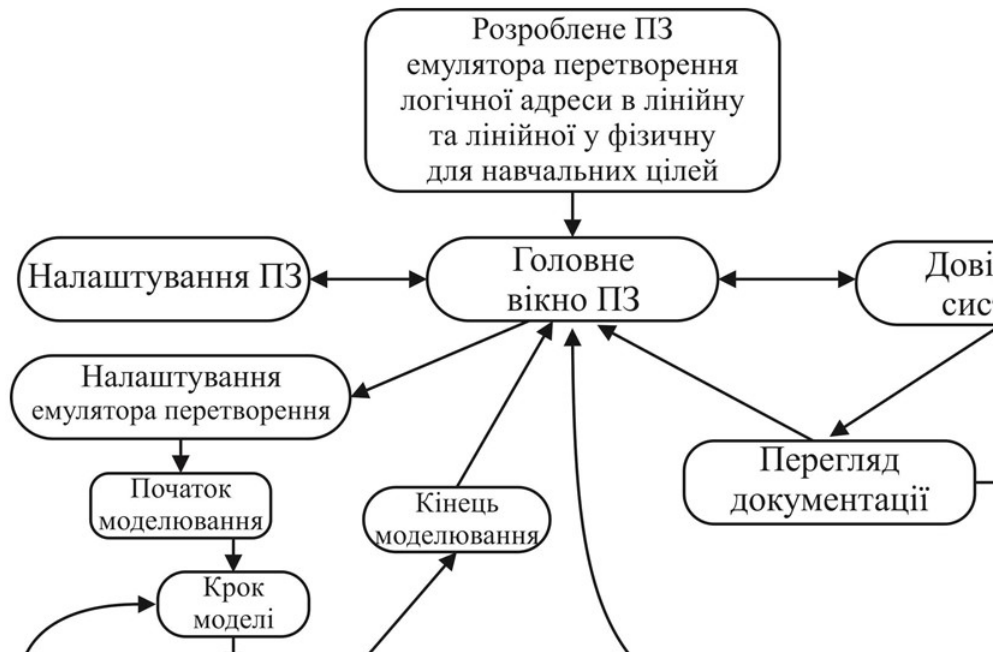


Рисунок 3 – Структурна схема системи

Після кількох важких років, що характеризувалися втратою позицій у сфері штучного інтелекту, зростаючим конкурентним тиском та зменшенням важливості деяких своїх основних продуктів, Intel увійшла у 2025 рік у режимі відновлення. Виробник чіпів робить ставку на нову хвилю ПК зі штучним інтелектом та чіткішу стратегічну спрямованість на відновлення своєї актуальності в нову еру обчислювальної техніки.

Штучний інтелект був провідною силою для всього технологічного сектору, і дуже мало компаній вдавалося дотримуватися своїх принципів без певного впливу ШІ. Intel, більше ніж більшість, була змушена змиритися з власними обмеженнями в цій галузі та переорієнтувати свою діяльність, щоб стати гравцем на ринку ШІ.

Повністю інтегрований чіпсет штучного інтелекту

Компанія агресивно просуває категорію ПК зі штучним інтелектом, спираючись на архітектуру інтегрованого нейронного процесора (NPU) Core Ultra, вперше представлену у 2023 році, та поширюючи своє твердження про те, що робочі навантаження зі штучним інтелектом повинні виконуватися локально на звичайних настільних комп'ютерах та ноутбуках.

Це було ключовим акцентом на виставці CES 2026, де Intel представила Core Ultra Series 3, побудований на новій архітектурі Panther Lake та виробничому процесі вузлів Intel 18A. Продукт об'єднує кілька проектів Intel.

Panther Lake – це спроба зробити свої процесори масштабованими для ширшого спектру ноутбуків, потенційно будучи варіантом для всього, від легких ноутбуків до високопродуктивних настільних комп'ютерів.

Водночас, вузол 18A був частиною плану колишнього генерального директора Пета Гелсінгера щодо значних витрат на ливарні виробництва та дослідження та розробки, щоб знову зробити Intel найкращим у своєму класі у виробництві чіпів.

Схоже, це було певним успіхом, оскільки Intel повідомляє про високий попит на свої чіпи штучного інтелекту та оголосила на CES, що вони вже інтегровані в 200 моделей ноутбуків.

Ранні тести та огляди Core Ultra Series 3 є дуже позитивними завдяки вражаючій ефективності чіпів та покращеній інтеграції з Microsoft Copilot та іншими моделями штучного інтелекту.

Intel вважає, що ринок ПК зі штучним інтелектом, ймовірно, поглине звичайний ринок, прогножуючи, що половина всіх ПК, проданих у 2026 році, матиме вбудовану обробку на базі штучного інтелекту у вигляді нейронних процесорів (NPU).

Intel залишається домінуючим постачальником інтегрованих чіпсетів для ноутбуків і настільних комп'ютерів, тому більшість цих ПК із підтримкою штучного інтелекту працюватимуть на її кремнієвих процесорах.

Ще однією ознакою зміни стратегії Intel є нещодавнє партнерство із SambaNova, яка, як повідомлялося, була метою придбання Intel наприкінці 2025 року.

Дві компанії оголосили про стратегічну багаторічну співпрацю, а також про інвестиції Intel у розмірі від 100 до 150 мільйонів доларів у SambaNova в рамках раунду фінансування на суму 350 мільйонів доларів.

Співпраця передбачатиме інтеграцію SambaNova кремнієвих технологій Intel у архітектуру свого центру обробки даних зі штучним інтелектом, що забезпечить Intel швидкозростаючий стартап у цій галузі.

Штучний інтелект більше не є змаганням у створенні найбільшої моделі. Справжня гонка полягає в тому, хто зможе оновити цілі центри обробки даних за допомогою агентів ШІ, які реагують миттєво, ніколи не зупиняються та роблять це за ціною, яка перетворює ШІ з експерименту на найприбутковіший двигун у хмарі.

SambaNova є прямим конкурентом Intel та NVIDIA у сфері апаратного забезпечення штучного інтелекту, зокрема в робочих навантаженнях логічного виводу та корпоративних рішеннях.

Блок реконфігурованого потоку даних стартапу та оптимізована для потоку даних архітектура чудово підходять для щоденної роботи чат-бота на основі штучного інтелекту або генератора зображень, оскільки вони, як було показано, працюють ефективніше, ніж стандартні графічні процесори, у виконанні рутинних завдань.

Висновки. У статті наведені теоретичне узагальнення й рішення наукового завдання дослідження методів емулятора перетворення логічної адреси в лінійну та лінійної у фізичну для навчальних цілей. Рішення даного завдання полягало у вирішенні наступних задач:

– Був проведений огляд існуючих систем емулятора перетворення логічної адреси в лінійну та лінійної у фізичну для навчальних цілей.

– Досліджена система емулятора перетворення логічної адреси в лінійну та лінійної у фізичну для навчальних цілей.

– На основі отриманих результатів досліджень створена програмна реалізація системи емулятора перетворення логічної адреси в лінійну та лінійної у фізичну для навчальних цілей. Розроблені алгоритми дозволяють успішно вирішувати завдання емулятора перетворення логічної адреси в лінійну та лінійної у фізичну для навчальних цілей. Проведено аналіз предметної галузі в ході якого були виявлені об'єкти, взаємодія яких носить істотний характер для функціональної діяльності предметної галузі, і їхні основні характеристики; побудована алгоритм і вибраний середовище розробки.

Список літератури

1. Kuznetsov O., Frontoni E., Kuznetsova Y., Chevardin V., Smirnov O. «Architectural foundations for adaptive security in edge computing systems». Cybersecurity Defensive Walls in Edge Computing, 2025. pp. 21-61.
2. Вінтенко, Б.Ю., Миронець, І.В., Смірнов, О.А., Коваленко, О.В., Усік, П.С., Буравченко, К.О., Лисенко, І.А. «Логіко-структурна модель комп'ютерно-орієнтованої процедури системи підтримки оперативного персоналу АЕС». Кібербезпека: освіта, наука, техніка. 2025. Том 2 № 30. С. 413-427, 2025.
3. Смірнова, Т.В. «Дослідження методів, моделей та сучасних ІТ-рішень для підтримки технологічних процесів у критичній інфраструктурі держави». Кібербезпека: освіта, наука, техніка. 2025. Том 2 № 30. С.195-208, 2025.
4. Вінтенко Б., Смірнов О., Миронець І., Смірнова Т., Смірнов С. «Імітаційна модель шляхів вхідних даних комп'ютерної інтелектуальної системи підтримки оператора енергоблоку АЕС». Комбінаторні конфігурації та їхні застосування: Матеріали XXVII Міжнародного науково-практичного семінару, присвяченого 125-річчю Національного університету «Запорізька політехніка» (Запоріжжя-Кропивницький-Київ, 4-6 червня

- 2025 р.). Запоріжжя: НУ «Запорізька політехніка», 2025. С.82-91.
5. Al-Azzeh, J., Ayuoub, B., Mesleh, A., Smirnova, T., Gnatyuk, S., Drieiev, O., Smirnov, O., Dorenskiy, O. «Cloud-Based Information System for Evaluating Caverns in the Process of Blasting Metal Surfaces of Details». *International Review on Modelling and Simulations* 18 (1), 2025. pp. 32-42.
 6. Вінтенко Б.Ю., Смірнов О.А., Миронець І.В., Смірнова Т.В., Коваленко О.В., Мацуй А.М. «Модель шляхів отримання вхідних даних комп'ютерної інтелектуальної системи підтримки оперативного персоналу АЕС». *Центральноукраїнський науковий вісник. Технічні науки*. 2025. Вип. 11(42), ч. II. С.52-62.
 7. Вінтенко Б.Ю., Смірнов О.А., Миронець І.В., Смірнова Т.В. «Методи забезпечення відмовостійкості інтелектуальних систем підтримки оператора». VIII міжнародна науково-практична конференція «Інформаційна безпека та комп'ютерні технології», м. Кропивницький. 24-25 квітня 2025 р. – Кропивницький: ЦНТУ. – 2025. – С. 44-46.
 8. Смірнов, О.А., Константинова, Л.В., Коноплицька-Слободенюк, О.К., Козірова, Н.В., Якименко, Н.М., Доренський, О.П., Буравченко, К.О. «Дослідження інструментів штучного інтелекту для роботи з базами даних та аналізу даних». *Кібербезпека: освіта, наука, техніка*. 2025. №3(27), С. 429–448.)
 9. Smirnov O., Fedorov E., Neskoriyeva A., Neskoriyeva T. «Intellectual Classification method of Gymnastic Elements Based on Combinations of Descriptive and Generative Approache». *CEUR Workshop Proceedings Volume 3664, 2024, Pages 11-23*.
 10. Вінтенко, Б., Миронець, І., Смірнов, О., Коваленко, А., Коноплицька-Слободенюк, О., Смірнова, Т., Константинова, Л. «Дослідження застосування систем підтримки оперативного персоналу об'єкту критичної інфраструктури при керуванні енергоблоком АЕС з реактором типу ВВЕР-1000». *Електронне фахове наукове видання «Кібербезпека: освіта, наука, техніка»*, 2024. № 2(26), С. 6-26.
 11. Вінтенко, Б., Миронець, І., Смірнов, О., Кравчук, О., Козірова, Н., Савеленко, Г., Коваленко, А. «Дослідження вимог та аналіз кібербезпеки програмного забезпечення інформаційно-керуючих систем АЕС, важливих для безпеки». *Кібербезпека: освіта, наука, техніка*. 2024. №3(23), С. 111-131.
 12. Kuznetsov O., Ilchenko O., Kryvinska N., Buravchenko K., Smirnov O., Savchenko Iu. «An Empirical Assessment of Leading Blockchain Financial Services». *2023 IEEE 1st Ukrainian Distributed Ledger Technology Forum (UADLTF)*, Kyiv, Ukraine, 2023, pp. 1-6,
 13. Kuznetsov, O., Kryvinska, N., Ilchenko, O., Smirnova, T., Ulianovska, Y. «Comparative Analysis of Cryptocurrency Trading Platforms Using the Analytic Hierarchy Process». *CEUR Workshop Proceedings, 2023, 3628, pp. 106-115*.
 14. Malyukov V., Bebesko B., Lakhno V., Smirnov O., Malyukova I., Mohylnyi H. «Managing the Purchase-Sale Process of Digital Currencies Under Fuzzy Conditions». *Lecture Notes in Networks and Systems, 2023, 729 LNNS, pp. 104–112*.
 15. Al-Mudhafar Aqeel, A.M., Smirnova, T., Buravchenko, K., Smirnov, O. «The method of assessing and improving the user experience of subscribers in software-configured networks based on the use of machine learning». *Advanced Information Systems, 2023, 7(2), pp. 49-56*.
 16. Smirnov, O., Sydorenko, V., Aleksander, M., Zhyharevych, O., Yenchey, S. «Simulation of the cloud IoT-based monitoring system for critical infrastructures». *CEUR Workshop Proceedings, Volume 3530, 2023, pp. 256-265*.
 17. Smirnov, O., Odarchenko, R., Smirnova, T., Bondar, S., Volosheniuk, D. «Optimal Structure Construction of Private 5G Network for the Needs of Enterprises». *Lecture Notes on Data Engineering and Communications Technologies, 2023, 178, pp. 208–223*.
 18. Вінтенко Б.Ю., Смірнов О.А., Коваленко А.С., Смірнов С.А., Буравченко К.О. «Дослідження вимог міжнародних стандартів IEC60880 та IEC62138 з розробки програмного забезпечення інформаційно-керуючих систем АЕС, важливих для безпеки». *Системи управління, навігації та зв'язку*, 2023, вип. 3(73), С. 155-166.
 19. Вінтенко, Б., Миронець, І., Смірнов, О., Кравчук, О., Козірова, Н., Савеленко, Г., Коваленко, А. «Дослідження вимог та аналіз кібербезпеки програмного забезпечення інформаційно-керуючих систем АЕС, важливих для безпеки». *Кібербезпека: освіта, наука, техніка*. 2024. №3(23), С. 111-131.
 20. Вінтенко Б.Ю., Смірнов О.А., Коваленко О.В., Смірнов С.А., Коваленко А.С. «Дослідження нормативних документів та галузевих стандартів розробки програмного забезпечення комп'ютерних систем управління АЕС, важливих для безпеки». *Системи управління, навігації та зв'язку*, 2023, вип. 2(72), С. 170-178.
 21. Аль-Мудхафар Акіл Абдулхуссейн М., Смірнова Т.В., Буравченко К.О., Смірнов О.А. «Метод оцінки та підвищення користувальницького досвіду абонентів в програмно-конфігурованих мережах на основі використання машинного навчання». *Сучасні інформаційні системи*, 2023, том 7, № 2, С. 49-56.
 22. Вінтенко Б.Ю., Смірнов О.А., Коваленко О.В., Смірнов С.А. «Дослідження нормативної документації та стандартів розробки програмного забезпечення комп'ютерних систем управління АЕС, важливих для безпеки». VI міжнародна науково-практична конференція «Інформаційна безпека та комп'ютерні технології», м. Кропивницький. 20-21 квітня 2023 р. – Кропивницький: ЦНТУ. – 2023. – С. 35-36.
 23. Smirnov, O., Karapetyan, A., Fedorov, E., «Creating Neural Network and Single Solution Human-Based Metaheuristic Methods of Solving the Traveling Salesman Problem». *CEUR Workshop Proceedings, Volume 3312, 2022, pp. 47-58*.
 24. Smirnov O., Kuznetsov A., Kryvinska N., Kiian A., Kuznetsova K. «Full Non-Binary Constant-Weight Codes».

- SN Computer Science, Vol 2, 337, 2021. <https://doi.org/10.1007/s42979-021-00739-w>.
25. Smirnov O., Kovalenko O., Kovalenko A., Kavun S. «Quantitative Risk Assessment Method Development in the Context of the SDLC-model». 2021 IEEE 8th International Conference on Problems of Infocommunications, Science and Technology (PIC S&T), 2021, pp. 203-208, doi: 10.1109/PICST54195.2021.9772143
 26. Smirnova T., Gnatyuk S., Berdibayev R., Avkurova Zh., Iavich M. «Cloud-Based Cyber Incidents Response System and Software Tools». Communications in Computer and Information Science, 2021, vol 1486. Springer, Cham. pp 169-184.
 27. Smirnov, O., Kuznetsov, A., Potii, O., Poluyanenko, N., Stelnyk, I., Mialkovsky, D. «Combining and filtering functions in the framework of nonlinear-feedback shift register». International Journal of Computing; 2020, Volume 19, Issue 2 – Research Institute for Intelligent Computer Systems – 2020. – P. 247-256.
 28. Smirnov O., Kuznetsov A., Kiiian A., Kuznetsova T. «Non-binary constant weight coding technique». CEUR Workshop Proceedings. Volume 2740, 2020, Pages 102-114.
 29. Smirnov O., Kuznetsov A., Kiiian A., Cherep A., Kanabekova M., Chepurko I. «Testing of code-based pseudorandom number generators for post-quantum application». 2020 IEEE 11th International Conference on Dependable Systems, Services and Technologies (DESSERT), Ukraine, Kyiv, May 14-18. 2020. P. 172-177.
 30. Smirnov, O., Shekhanin, K., Kuznetsov, A., Krasnobayev, V. «Detecting Hidden Information in FAT». International Journal of Computer Network and Information Security (IJCNIS). Vol. 12, No. 3, 2020. PP.33-43.
 31. Smirnov, O., Drieieva, H., Drieiev, O., Simakhin, V., Bondar, S., Odarchenko, R. «Managing multifractal properties of the binary sequence generated with the Markov chains», CEUR Workshop Proceedings Volume 2608, 2020, Pages 633-645.